

# Inhaltsverzeichnis

<b>1</b>	<b>Grundlagen</b>	<b>19</b>
1.1	<i>Einführung in die Digitaltechnik</i>	19
1.1.1	Analoge und digitale Signale	20
1.1.2	Umsetzung zwischen analogen und digitalen Werten	22
1.1.3	Binäre Zustände	23
1.1.4	Zeichen, Alphabet und Code	23
1.1.5	Mehrwertige Logik	24
1.1.6	Programmierbare digitale Systeme	24
1.2	<i>Klassifizierung von digitalen Schaltungen</i>	25
1.2.1	Zeitunabhängige Schaltungen	25
1.2.2	Zeitabhängige Schaltungen	25
1.3	<i>Zielfunktionen</i>	26
1.3.1	Zielfunktionen in der Rechnertechnik	27
1.3.2	Zielfunktionen in der Kommunikationstechnik	27
1.3.3	Weitere Zielfunktionen	28
1.4	<i>Einheiten und Größen der Digitaltechnik</i>	28
<b>2</b>	<b>Halbleitertechnologie und Schaltungstechnik</b>	<b>30</b>
2.1	<i>Einführung</i>	30
2.2	<i>Technologische Grundlagen</i>	30
2.2.1	Eigenschaften von Atomen im Verbund	30
2.2.2	Eigenschaften von Halbleitern	33
2.2.3	Herstellung von Halbleitern	34
2.2.4	Skalierung von Halbleiterbauelementen	36
2.2.5	Weiterentwicklung von Halbleitern	38
2.3	<i>Bauelemente</i>	39
2.3.1	Bipolardiode	39
2.3.2	Bipolartransistoren	42
2.3.3	Feldeffekttransistoren	43
2.3.3.1	Isolierschicht-FET	43
2.3.3.2	Sperrschichtisolierte FET	46
2.3.4	CMOS-Technologien	47
2.3.5	Metallisierungssysteme	48
2.4	<i>Schaltungstechniken</i>	50
2.4.1	Überblick	50
2.4.2	Transistor-Transistor-Logik (TTL)	51
2.4.3	ECL	52
2.4.4	NMOS	53
2.4.5	CMOS	54
2.4.5.1	Grundaufbau	54
2.4.5.2	Zeitverhalten	57
2.4.5.3	Transmission-Gates	59
2.4.6	BiCMOS	59
2.4.7	Ausgangsschaltungen	60

<b>3</b>	<b>Zahlensysteme und Codierung</b>	<b>62</b>
3.1	<i>Zahlensysteme</i>	62
3.1.1	Additionssysteme	62
3.1.2	Stellenwertsysteme	63
3.1.3	Zahlensystemkonvertierung	63
3.2	<i>Binäre Codierung von Zahlen und Zeichen</i>	63
3.2.1	Darstellung positiver ganzer Zahlen	63
3.2.2	Darstellung negativer ganzer Zahlen	64
3.2.3	Darstellung rationaler Zahlen	67
3.2.3.1	Festkommadarstellung	67
3.2.3.2	Gleitkommadarstellung	68
3.2.4	Tetraden-Codes	71
3.2.5	Zeichencodes	72
3.2.5.1	ASCII	72
3.2.5.2	ISO 8859	73
3.2.5.3	Unicode	74
3.2.5.4	Universal Transformation Format (UTF)	75
3.3	<i>Grundbegriffe der Codierungstheorie</i>	75
3.4	<i>Quellencodierung</i>	78
3.4.1	Grenzen der Kompression	79
3.4.1.1	Informationsgehalt und Entropie	79
3.4.1.2	Theorem von Shannon	80
3.4.2	Verlustfreie Kompression	81
3.4.2.1	Fano-Codierung	82
3.4.2.2	Huffman-Codierung	83
3.4.2.3	Lauf längencodierung	84
3.4.2.4	Lempel-Ziv-Codierung	85
3.4.2.5	Arithmetische Codierung	86
3.4.3	Verlustbehaftete Kompression	87
3.4.3.1	Sprachkompression	87
3.4.3.2	Bildkompression	88
3.4.3.3	Audio- und Videokompression	88
3.5	<i>Kanalcodierung</i>	89
3.5.1	Hamming- und Code-Distanz	90
3.5.2	Fehlererkennende Codes	90
3.5.2.1	Paritäts-Codes	90
3.5.2.2	CRC-Codes	91
3.5.3	Fehlerkorrigierende Codes	94
3.5.3.1	Hamming-Code	94
3.5.3.2	Matrix-Codes	96
3.5.4	Grenzen der Datenübertragung	96
3.6	<i>Leitungscodierung</i>	98
3.7	<i>Modulation</i>	100
<b>4</b>	<b>Boole'sche Algebra</b>	<b>102</b>
4.1	<i>Grundlagen</i>	102
4.1.1	Elementare Boole'sche Operatoren	102
4.1.1.1	Null- und Eins-Theoreme	103

4.1.1.2	Idempotenz . . . . .	103
4.1.1.3	Komplement . . . . .	103
4.1.2	Boole'sche Funktionen . . . . .	103
4.1.2.1	Funktionen mit einem Eingang und Ausgang . . . . .	104
4.1.2.2	Funktionen mit zwei Eingängen . . . . .	104
4.1.2.3	Boole'sche Funktionen mehrerer Variabler . . . . .	106
4.1.3	Rechenregeln der Schaltalgebra . . . . .	107
4.1.3.1	Kommutativgesetze . . . . .	107
4.1.3.2	Assoziativgesetze . . . . .	107
4.1.3.3	Distributivgesetze . . . . .	107
4.1.3.4	Kürzungsregeln . . . . .	107
4.1.3.5	De Morgan'sche Gesetze . . . . .	108
4.1.3.6	Dualitätsprinzip, Shannon'sches Gesetz . . . . .	108
4.1.4	Vollständige Logiksysteme . . . . .	109
4.1.4.1	Vollständiges System aus UND, ODER, NICHT . . . . .	109
4.1.4.2	Vollständige Systeme mit NAND- oder mit NOR- Operator . . . . .	110
4.2	<i>Normalformen</i> . . . . .	110
4.2.1	Disjunktive Normalform (DNF) . . . . .	110
4.2.1.1	Minterm . . . . .	110
4.2.1.2	DNF-Beschreibung Boole'scher Funktionen . . . . .	110
4.2.2	Konjunktive Normalform (KNF) . . . . .	111
4.2.2.1	Maxterm . . . . .	111
4.2.2.2	KNF-Beschreibung Boole'scher Funktionen . . . . .	112
4.2.3	Vertauschen der UND/ODER-Operatoren . . . . .	112
4.3	<i>Minimieren Boole'scher Funktionen</i> . . . . .	112
4.3.1	Minimierungsverfahren . . . . .	113
4.3.2	KV-Diagramm . . . . .	113
4.3.2.1	KV-Diagramm für zwei Eingangsvariable . . . . .	113
4.3.2.2	KV-Diagramm für drei Eingangsvariable . . . . .	114
4.3.2.3	KV-Diagramme mit bis zu sechs Eingangsvariablen . . . . .	115
4.3.2.4	Implikanten . . . . .	115
4.3.2.5	Minimieren Boole'scher Funktionen . . . . .	116
4.3.3	Ausnutzen von Redundanzen . . . . .	118
4.3.4	Verfahren von Quine und Mc Cluskey . . . . .	118
4.4	<i>Funktionszerlegung</i> . . . . .	120
4.4.1	Disjunkte Zerlegung . . . . .	120
4.4.2	Iterative Zerlegung . . . . .	121
4.4.3	Shannon-Zerlegung . . . . .	121
4.4.4	Geordnete binäre Entscheidungsgraphen . . . . .	123
<b>5</b>	<b>Kombinatorische Schaltungen</b> . . . . .	<b>125</b>
5.1	<i>Wichtige Grundschaltungen</i> . . . . .	125
5.1.1	Multiplexer . . . . .	125
5.1.1.1	Funktionsweise eines Multiplexers . . . . .	126
5.1.1.2	Schaltsymbol . . . . .	126
5.1.1.3	Realisierung Boole'scher Funktionen . . . . .	127
5.1.2	Demultiplexer . . . . .	127
5.1.2.1	Funktionsweise eines Demultiplexers . . . . .	127

5.1.2.2	Schaltsymbol	128
5.1.2.3	Realisierung Boole'scher Funktionen	128
5.1.3	Code-Umsetzer	129
5.1.3.1	Prioritäts-Encoder	129
5.1.3.2	Binär/Gray-Code-Umsetzer	130
5.1.4	Addition und Subtraktion von Zahlen	130
5.1.4.1	Addition einzelner Bits	130
5.1.4.2	Addition positiver Festkommazahlen	131
5.1.4.3	Addition von 2er-Komplementzahlen	132
5.1.4.4	Subtraktion von Festkommazahlen	132
5.1.4.5	Rechenwerk zur Addition und Subtraktion	133
5.1.4.6	Beschleunigung der Addition	134
5.2	<i>Hazards</i>	135
5.2.1	Entstehung von Hazards	136
5.2.2	Eliminieren von Hazards	137
5.3	<i>Schaltungen mit externer asynchroner Rückkopplung</i>	137
5.3.1	Gedankliche Auftrennung der Rückkopplungssignale	138
5.3.2	Spezifikation asynchron rückgekoppelter Schaltungen	138
5.3.2.1	Spezifikation mittels Funktionstabelle	138
5.3.2.2	Spezifikation durch Zustandsdiagramm	139
5.3.3	Realisierung asynchron rückgekoppelter Schaltungen	140
<b>6</b>	<b>Sequenzielle Schaltungen</b>	<b>143</b>
6.1	<i>Grundlagen</i>	143
6.1.1	Realisierung von bistabilen Kippstufen (Flipflops)	143
6.1.1.1	Grundlegendes	143
6.1.1.2	Asynchrone Flipflops	144
6.1.1.3	Synchrone Flipflops	145
6.1.2	Zeitverhalten von Flipflops	150
6.1.3	Schmitt-Trigger	152
6.2	<i>Asynchrone Schaltwerke</i>	154
6.3	<i>Synchrone Schaltwerke</i>	155
6.3.1	Endliche Zustandsautomaten	155
6.3.1.1	Übersicht	155
6.3.1.2	Diskretisierung der Zeit	158
6.3.1.3	Entwurf endlicher Zustandsautomaten	158
6.3.1.4	Modellierung endlicher Zustandsautomaten	159
6.3.1.5	Codierung	166
6.3.2	Timing-Bedingungen	166
6.3.2.1	Synchroner Fall	166
6.3.2.2	Taktversatz	167
6.3.2.3	Minimierung des Taktversatzes	169
6.3.3	Pipelining	169
6.3.4	Verlustleistung	170
6.3.5	Hilfsschaltungen	171
6.3.5.1	Realisierung von Multivibratoren (Oszillatoren)	171
6.3.5.2	Realisierung von Reset-Schaltungen	173
6.4	<i>Zähler und Frequenzteiler</i>	173
6.4.1	Asynchrone Zähler	174

6.4.2	Synchrone Zähler	175
6.5	Schieberegister	176
<b>7</b>	<b>Entwurfsverfahren für digitale Schaltungen</b>	<b>179</b>
7.1	Schritte im Entwurfsprozess	181
7.2	Modellierung digitaler Systeme	186
7.2.1	Modelleingabe	187
7.2.1.1	Schaltpläneingabe	187
7.2.1.2	HDL-Modelleingabe	188
7.2.1.3	Grafische Modelleingabe	188
7.2.2	Einfaches Entwurfsbeispiel	189
7.2.2.1	Spezifikation auf algorithmischer Ebene	189
7.2.2.2	Strukturierung auf RT-Ebene	190
7.2.2.3	Verhaltensmodellierung auf RT-Ebene	191
7.2.2.4	Synthese und Implementierung des RT-Modells	193
7.2.2.5	Analyse auf Gatterebene	194
7.2.2.6	Redesign als Ripple-Carry-Addierer	194
7.2.2.7	Gatternetzliste einer CPLD-Implementierung	195
7.2.2.8	Übergang auf die Transistorebene	196
7.3	Simulation	197
7.3.1	Grundlagen der Simulation	197
7.3.1.1	Simulationsarten	198
7.3.1.2	Simulationsmethoden	200
7.3.1.3	Grenzen der Simulation	201
7.3.1.4	Verzögerungsmodelle	202
7.3.2	Ereignisgesteuerte Simulation	204
7.4	Synthese	206
7.4.1	Verhaltenssynthese	208
7.4.2	RT-Synthese	210
7.5	Physikalische Implementierung	211
7.5.1	Translate	212
7.5.2	Technology Mapping und Place & Route	212
7.5.2.1	CPLD Optimierung	212
7.5.2.2	Mehrstufige Logikoptimierung	212
7.5.2.3	Optimierung für SRAM-FPGAs	214
7.5.3	Place & Route	214
7.5.4	Neuere Trends	215
7.6	Verifikation	215
7.6.1	Funktionale Verifikation	216
7.6.1.1	Verifikationssimulation	217
7.6.1.2	Hardware-Emulation	217
7.6.1.3	FPGA-Prototypen	218
7.6.2	Statische Timinganalyse	218
7.6.3	Formale Verifikation	219
7.6.3.1	Logikverifikation	220
7.6.3.2	Verifikation durch Modellprüfung	220
7.7	Entwicklungstrends	221
7.7.1	Hierarchisierung	221
7.7.2	Hardware-Software-Codesign	222

<b>8</b>	<b>Hardware-Modellierung</b> . . . . .	<b>224</b>
8.1	<i>Hardware-Beschreibungssprachen</i> . . . . .	224
8.2	<i>VHDL</i> . . . . .	225
8.2.1	Grundkonzepte von VHDL . . . . .	226
8.2.1.1	Sprachelemente . . . . .	226
8.2.1.2	Schnittstellenbeschreibung durch entity, port und generic . . . . .	231
8.2.1.3	Architekturbeschreibung und lokale Signale . . . . .	233
8.2.1.4	Datenflussbeschreibung durch nebenläufige Signalzuweisungen . . . . .	233
8.2.1.5	Verhaltensbeschreibungen durch Prozesse . . . . .	234
8.2.1.6	Strukturbeschreibung mit Komponenten . . . . .	239
8.2.1.7	Unterprogramme . . . . .	241
8.2.1.8	Verwendung von Bibliotheken . . . . .	242
8.2.1.9	Testumgebungen . . . . .	244
8.3	<i>VHDL-AMS</i> . . . . .	245
8.3.1	VHDL-AMS-Konzepte . . . . .	245
8.3.2	Verhaltensbeschreibungen . . . . .	247
8.3.3	Strukturmodelle . . . . .	249
8.4	<i>Verilog im Vergleich zu VHDL</i> . . . . .	250
8.4.1	Sprachelemente . . . . .	250
8.4.2	Strukturelle Beschreibung . . . . .	250
8.4.3	Verhaltensbeschreibung . . . . .	252
8.5	<i>SystemC</i> . . . . .	257
8.5.1	Grundkonzepte von SystemC . . . . .	258
8.5.2	RT-Verhaltensbeschreibungen . . . . .	259
8.5.3	Strukturbeschreibungen . . . . .	261
8.5.4	Entwurf einer Testbench . . . . .	262
8.5.5	Besonderheiten bei der Verwendung von Signalen und Variablen . . . . .	265
<b>9</b>	<b>Test und Diagnose</b> . . . . .	<b>266</b>
9.1	<i>Grundlagen</i> . . . . .	266
9.2	<i>Fehlermodelle und Testmethoden</i> . . . . .	268
9.2.1	Ausbeutemodelle . . . . .	268
9.2.2	Fehlermodelle . . . . .	268
9.3	<i>Testmustererzeugung und Fehlersimulation</i> . . . . .	271
9.3.1	Schaltungspartitionierung und Fehlerreduktion . . . . .	272
9.3.2	Fehlersimulation . . . . .	273
9.3.3	Testbarkeitsmaße und Zufallstests . . . . .	273
9.3.4	Automatische Testmustererzeugung . . . . .	274
9.3.5	Diagnostische Tests . . . . .	274
9.3.6	Testmethoden ohne Haftfehlerannahme . . . . .	275
9.3.7	Teststrategien und Produktqualität . . . . .	276
9.4	<i>Prüfgerechter Entwurf</i> . . . . .	277
9.4.1	Prüfpfadbasierender Entwurf . . . . .	277
9.4.2	Ad-hoc-Techniken des prüfgerechten Entwurfs . . . . .	279
9.4.3	Verlustleistung im Testbetrieb . . . . .	279
9.5	<i>Selbsttest und eingebetteter Test</i> . . . . .	280
9.5.1	Prüfpfadbasierender Selbsttest . . . . .	281

9.5.2	Mustererzeugung im Selbsttest	281
9.5.3	Auswertung der Testantworten im Selbsttest	283
9.5.4	Eingebetteter Test	284
9.6	<i>Test von Speicherfeldern</i>	285
9.7	<i>Standardisierung</i>	286
9.7.1	IEEE 1149.1 Boundary Scan (JTAG)	286
9.7.2	Standard zum Test von Systems on Chip (SoC)	288
<b>10</b>	<b>Realisierung digitaler Schaltwerke</b>	<b>290</b>
10.1	<i>Grundlagen</i>	290
10.1.1	Layout	290
10.1.2	Chip-Layout	290
10.1.3	Entwurfsarten	291
10.2	<i>Full-Custom-Entwurf</i>	292
10.3	<i>Semi-Custom-Entwurf</i>	292
10.3.1	Standardzellentwurf	292
10.3.2	Gate-Array	293
10.3.3	Embedded-Array	294
10.4	<i>Systemintegration</i>	294
10.4.1	Anforderungen und Herausforderungen	294
10.4.2	Bereitstellung von Makros	296
10.4.3	Positionierung der Hersteller	297
10.4.4	SoC-Standards	298
10.4.5	Produktbeispiele von Makros	298
10.4.5.1	Voraussetzungen	298
10.4.5.2	Speicher	298
10.4.5.3	Prozessorkerne	299
10.4.5.4	Kommunikationscontroller	299
10.4.5.5	Schnittstellen	300
10.4.5.6	Proprietäre Bibliotheken	300
10.4.6	Erweiterungen	300
<b>11</b>	<b>Digitale Halbleiterspeicher</b>	<b>301</b>
11.1	<i>Übersicht</i>	301
11.2	<i>Halbleiterspeicher – Einteilung, Strukturen, Kenngrößen</i>	302
11.2.1	Einteilung von Halbleiterspeichern	302
11.2.2	Strukturen von Matrixspeichern	306
11.2.3	Kenngrößen von Halbleiterspeichern	307
11.3	<i>Flüchtige Speicher</i>	309
11.3.1	SRAM	310
11.3.1.1	SRAM-Speicherzelle	310
11.3.1.2	SRAM-Bausteine	311
11.3.2	DRAM	313
11.3.2.1	DRAM-Speicherzelle	313
11.3.2.2	DRAM-Bausteine	314
11.3.2.3	Weiterentwicklung von DRAM-Technologien	317
11.3.3	SDRAM und DDR-RAM	320
11.3.3.1	SDRAM	320

11.3.3.2	Ansätze zur Erhöhung der Datentransferrate	321
11.3.3.3	DDR-RAM	321
11.3.4	Kenngrößen von SRAM und DRAM	322
11.3.5	Weiterentwicklungen flüchtiger Speicher	323
11.4	<i>Nichtflüchtige Speicher</i>	324
11.4.1	Maskenprogrammierte ROM	325
11.4.2	PROM	327
11.4.3	EPROM	328
11.4.3.1	EPROM-Speicherzelle	328
11.4.3.2	Programmierung der FAMOS-Speicherzelle	329
11.4.3.3	Lesen einer FAMOS-Speicherzelle	329
11.4.3.4	Löschen einer FAMOS-Zelle	329
11.4.3.5	EPROM-Bausteine	330
11.4.4	EEPROM	330
11.4.4.1	EEPROM-Speicherzellen	330
11.4.4.2	Programmieren von EEPROM-Zellen	331
11.4.4.3	Löschen von EEPROM-Zellen	332
11.4.4.4	Lesen von EEPROM-Zellen	332
11.4.4.5	EEPROM-Baustein	332
11.4.5	Flash-EEPROM	333
11.4.5.1	Flash-EEPROM-Speicherzelle	333
11.4.5.2	Flash-Architekturen	334
11.4.5.3	Flash-Bausteine	336
11.4.5.4	Weiterentwicklungen der Flash-Technologie	337
11.5	<i>NVRAM/NOVRAM</i>	337
11.5.1	Überblick	337
11.5.2	Flüchtige RAM-Speicher mit Energiespeichern	338
11.5.3	RAM-/EEPROM-(Flash-EEPROM-)Architekturen	338
11.5.4	Ferroelectric RAM (FeRAM/FRAM)	338
11.5.5	Magneto-resistives RAM (MRAM)	340
11.5.6	Phase Change RAM (PCRAM, PRAM)	341
11.6	<i>Entwicklungstrends</i>	342
<b>12</b>	<b>Mikroprozessortechnik</b>	<b>344</b>
12.1	<i>Einführung</i>	344
12.1.1	Bestandteile eines Mikrocomputers	345
12.1.2	Gegenstand der Mikroprozessortechnik	347
12.1.3	Historische Entwicklung	347
12.1.4	Differenzierung von Mikroprozessoren	350
12.2	<i>Aufbau und Funktion einfacher Mikroprozessoren</i>	353
12.2.1	Komponenten eines Mikroprozessors	353
12.2.1.1	Register	353
12.2.1.2	ALU	355
12.2.1.3	Steuerwerk	357
12.2.1.4	Adresswerk	358
12.2.1.5	Systembus	359
12.2.2	Ausgewählte Funktionsprinzipien	360
12.2.2.1	Ablauf der Befehlsabarbeitung	360
12.2.2.2	Bussteuerung	362



12.2.2.3	Stackfunktion	365
12.2.2.4	Polling und Interrupt-Steuerung	367
12.2.3	Basis-Architekturen	368
12.2.3.1	Vorbemerkungen	368
12.2.3.2	CISC-Prozessoren	369
12.2.3.3	RISC-Prozessoren	370
12.3	<i>Programmiermodell eines Mikroprozessors</i>	371
12.3.1	Registersatz	371
12.3.2	Speichermodell	373
12.3.3	Befehlssatz	374
12.3.4	Adressierungsarten	375
12.4	<i>Erhöhung der Verarbeitungsleistung</i>	376
12.4.1	Pipelining	377
12.4.2	Cache-Speicher	379
12.4.3	Superskalare Prozessoren	381
12.4.4	Multicore-Prozessoren	383
12.5	<i>Architekturmerkmale eines ausgewählten Mikroprozessors</i>	385
12.6	<i>Trends</i>	389
<b>13</b>	<b>Architekturen programmierbarer Logikbausteine</b>	<b>391</b>
13.1	<i>Programmierbare Logikbausteine</i>	391
13.1.1	Allgemeines PLD-Modell	391
13.1.2	Basisblöcke	393
13.1.2.1	Logikblöcke in Look-Up-Table-Struktur	393
13.1.2.2	Logikblöcke in PAL-Struktur	393
13.1.2.3	Logikblöcke mit Multiplexer	394
13.1.2.4	Speicherfunktion mit Bypass	395
13.1.2.5	Aufbau des konfigurierbaren Routings	395
13.1.3	Input-/Output-Blöcke	396
13.1.3.1	Speicher- und Pufferfunktionen bei I/O	396
13.1.3.2	Elektrische Anpassungen im I/O-Block	397
13.1.4	Programmiertechnologien	398
13.1.4.1	Pass-Transistoren	399
13.1.4.2	Technologien im PLD-Codespeicher	399
13.1.5	Aufbau von Simple- und High-Density-PLDs	401
13.1.5.1	Simple-PLDs	402
13.1.5.2	High-Density-PLDs	402
13.1.6	Klassifizierungen	403
13.1.6.1	Klassifizierung nach Mikroarchitektur	403
13.1.6.2	Klassifizierung nach Programmierbarkeit	404
13.1.6.3	Weiterentwicklungen	405
13.2	<i>Übersicht zu Herstellern von PLDs</i>	406
13.2.1	Programmierbare Logikbausteine	406
13.2.2	Software-definierte Mikroprozessorkerne	408
13.3	<i>Simple Programmable Logic Devices (SPLD)</i>	408
13.3.1	GAL/PAL 16V8	409
13.3.2	GAL/PAL 22V10	410
13.4	<i>Complex Programmable Logic Devices (CPLD)</i>	412
13.4.1	Basisarchitektur	412

13.4.2	Erweiterungen	413
13.4.2.1	Erweiterung der PAL-Struktur	414
13.4.2.2	Integration von SRAM-basierten Datenspeicher	415
13.4.2.3	Hierarchische Organisation des Bausteins	416
13.5	<i>Field-Programmable Gate Arrays (FPGA)</i>	417
13.5.1	Basisarchitektur	417
13.5.2	Erweiterungen	418
13.5.2.1	Zusammenfassung der Look-Up Tables (LUT)	419
13.5.2.2	Integration von SRAM-basierten Datenspeicher	419
13.5.2.3	Integration von Elementen zur arithmetischen Verarbeitung	420
<b>14</b>	<b>Digital/Analog-Umsetzer und Analog/Digital-Umsetzer</b>	<b>421</b>
14.1	<i>Grundlagen der Digitalisierung und Analogisierung</i>	421
14.1.1	Digitale Systeme mit ADC und DAC	421
14.1.2	Abtastung, Quantisierung und Rekonstruktion	423
14.1.3	Weitere Kenngrößen von ADC und DAC	428
14.2	<i>Digital/Analog-Umsetzer (DAC)</i>	429
14.2.1	Grundprinzipien der Digital/Analog-Umsetzung	429
14.2.2	Umsetzer mit Widerstandskettenleitern	430
14.2.3	Umsetzer mit geschalteten Stromquellen	432
14.2.4	Umsetzer mit Pulsweitenmodulator	433
14.2.5	Umsetzer mit Sigma-Delta-Modulation	434
14.2.6	DAC im Signalweg	435
14.2.7	Stand der Technik	436
14.3	<i>Analog/Digital-Umsetzer</i>	436
14.3.1	Grundprinzipien der Analog/Digital-Umsetzung	437
14.3.2	Umsetzer mit Parallelverfahren	439
14.3.3	Parallelumsetzer mit Pipeline	441
14.3.4	Umsetzer mit sukzessiver Approximation	442
14.3.5	Umsetzer mit Integration	444
14.3.6	Umsetzer mit Sigma-Delta-Modulator	446
	<b>Abkürzungsverzeichnis</b>	<b>448</b>
	<b>Literaturverzeichnis</b>	<b>457</b>
	<b>Sachwortverzeichnis</b>	<b>471</b>